



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11317487 A

(43) Date of publication of application: 16.11.99

(51) Int. Cl.

H01L 23/50

C23C 2/08

C23C 2/34

C25D 7/00

H05K 1/09

H05K 3/24

(21) Application number: 10122205

(71) Applicant: NISSAN MOTOR CO LTD

(22) Date of filing: 01.05.98

(72) Inventor: NAGANO KAZUKO
SEKIDO TATSUYA

(54) ELECTRONIC DEVICE AND MOUNTING METHOD THEREFOR

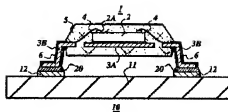
eutectic solder.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an electronic device which is able to prevent failures thereof caused by improper junctioning or short-circuiting between a mounting substrate and electrodes, while limiting the use of Pb and realizing environmental protection, and also to provide a method for mounting the electronic device at a low reflow temperature.

SOLUTION: In this method, a plated film 6 is formed on the surface of external terminals (leads 3B) of an electronic device (semiconductor device 1). The plated film 6 is made of a Sn-Bi alloy or a Sn-In alloy which does not contain Pb. Bi and In have melting temperatures lower than the melting temperature of Sn-Pb eutectic solder. The electronic device is mounted on a mounting substrate 10 through a jointing alloy film 20. The film 20 is made of Sn-Ag-Bi alloy which does not containing Pb. Since the plated film 6 is melted beforehand by reflow, the jointing alloy film 20 can be improved in its wetting properties. A re-solidifying temperature of the film 20 becomes higher than the melting temperature of the Sn-Pb



特開平11-317487

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.⁴

識別記号

F I

H 0 1 L 23/50

H 0 1 L 23/50

P

C 2 3 C 2/08

C 2 3 C 2/08

2/34

2/34

C 2 5 D 7/00

C 2 5 D 7/00

H

H 0 5 K 1/09

H 0 5 K 1/09

C

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号

特願平10-122205

(71) 出願人 00003997

(22) 出願日

平成10年(1998) 5月1日

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 永野 和子

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

(72) 発明者 関戸 達哉

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

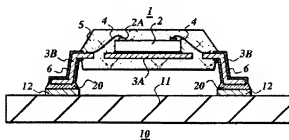
(74) 代理人 弁理士 三好 秀和 (外8名)

(54) 【発明の名称】 電子装置及び電子装置の実装方法

(57) 【要約】

【課題】 Pbの使用を制限し環境保護を図りつつ、実装基板の電極との間で接合不良や短絡による不良が防止できる電子装置を提供する。リフロー温度の低温化が実施できる電子装置の実装方法を提供する。

【解決手段】 電子装置(半導体装置1)の外部端子(リード3B)の表面にめっき膜6が形成される。めっき膜6はPbを含まないSn-Bi合金膜又はSn-In合金膜で形成される。Bi、Inはいずれも合金膜の融点温度を下げ、めっき膜6はSn-Pb共晶半田の融点温度よりも低い融点温度を有する。電子装置は接合用合金膜20により実装基板10に実装される。接合用合金膜20にはPbを含まないSn-Ag-Bi合金膜が使用される。めっき膜6はリフローにより先行溶融し接合用合金膜20の濡れ性を向上する。接合用合金膜20の再凝固温度はSn-Pb共晶半田の融点温度よりも高くなる。



- 1 半導体装置
- 2 半導体チップ
- 3B リード
- 5 封止部
- 6 めっき膜
- 10 実装基板
- 12 電極
- 20 接合用合金膜

【特許請求の範囲】

【請求項1】 実装基板の電極に接合用合金膜により電気的かつ機械的に接続される外部端子と、前記外部端子表面に形成され、前記接合用合金膜の融点温度並びに再凝固温度よりも低い融点温度を有し、Pbを含まない合金膜で形成されためっき膜と、を備えたことを特徴とする電子装置。

【請求項2】 Pbを含まない第1接合用合金膜の融点温度よりも低い融点温度を有しかつPbを含まない合金膜で形成されためっき膜を電子装置の外部端子表面に形成する工程と、

実装基板の電極と前記電子装置の外部端子との間に前記第1接合用合金膜を形成する工程と、リフローを行い、前記外部端子表面のめっき膜を先行溶融させ、引き続き前記第1接合用合金膜を溶融し、前記めっき膜の合金成分によりめっき膜の融点温度よりも高い再凝固温度を有する第2接合用合金膜を形成する工程と、

を備えたことを特徴とする電子装置の実装方法。

【請求項3】 前記めっき膜は、SnとこのSnが固溶できる金属との合金で形成されたことを特徴とする請求項1記載の電子装置。

【請求項4】 前記めっき膜は、Snと40～60%の範囲内の組成比に設定されたBi、又は同範囲内の組成比に設定されたInとの合金で形成されたことを特徴とする請求項3に記載の電子装置。

【請求項5】 前記めっき膜は、Sn-40%Bi合金、Sn-58%Bi合金、又はSn-52%In合金で形成され、

前記第1接合用合金膜は、Sn-3%A g-4%B i合金で形成され、

前記第2接合用合金膜は、Sn-3%A g-5%B i合金で形成されたことを特徴とする請求項4に記載の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電子装置及び電子装置の実装方法に関する。特に本発明は、実装基板の電極に接合用合金膜を介して電気的かつ機械的に接続する外部端子を有する電子装置及びこの電子装置の実装方法に関する。

【0002】

【従来の技術】 半導体装置、抵抗素子、容量素子等の電子装置は、マザーボード、ドーターボード、バレーボード等のプリント配線基板に電気的かつ機械的に接続され、実装される。電気的かつ機械的に接続には接合用半田が使用される。接合用半田は半田フロー（熱接合処理）により電子装置の外部端子とプリント配線基板の電極との間を接合する。

【0003】 電子装置、例えば半導体装置はパッケージから外部端子としてのアウターリードを引き出した構造を有する。パッケージ内部にはトランジスタや集積回路を形成した半導体チップが封止される。アウターリード表面にはSn-Pb（錫-鉛）合金のめっき膜が形成される。このめっき膜は、めっき膜により接合用半田の溶融前に溶融して広がり、この後に接合用半田が溶融したときの広がり高め、接合用半田の濡れ性を向上する。従って、めっき膜は、通常、接合用半田の融点温度よりも若干低い融点温度を有する材料が選択される。例えば、融点温度が約200℃前後の接合用半田を使用する場合、半田リフローは約230℃で行われ、めっき膜には融点温度183℃のSn-37%Pb（共晶半田）合金膜が使用される。

【0004】 電子装置としての抵抗素子、容量素子は、いずれも半導体装置の構造と同様にパッケージから引き出された外部端子を有し、接合用半田を介してプリント配線基板に実装される。外部端子表面には濡れ性を向上するめっき膜が形成される。

【0005】

【発明が解決しようとする課題】 しかしながら、電子装置並びにこの電子装置の実装方法においては、以下の点について配慮がなされていない。

【0006】 （1）最近、環境保護等の問題から有害物質であるPbの使用を制限する傾向にあり、めっき膜にはPbの代用としてSn又はPdが使用され、接合用半田にはPbフリー半田としてSn-A g-B i（錫-銀-ビスマス）合金が使用される。例えばSn-3%A g-4%B i合金は約210℃の融点温度を有し、約230℃の現状の半田リフローが行えるが、めっき膜であるSn単独の融点温度は232℃、Pd単独の融点温度は1554℃と融点温度が非常に高くなる。このため、半田リフローにおいて接合用半田が先行溶融し、めっき膜が後から溶融する又はPdにおいては溶融しないので、接合用半田の濡れ性が劣化する。すなわち、プリント配線基板と電子装置の外部端子との間の接続強度が充分に確保されず、接合不良が発生する可能性がある。

【0007】 （2）この接合不良を防止するには半田リフロー温度を高めることが有効な方法である。例えば、めっき膜としてSnを使用する場合、半田リフロー温度を約260℃に設定すると濡れ性の向上が図れ、この濡れ性の向上に伴い、接合不良が防止できる。しかしながら、電子装置のパッケージ材料、プリント配線基板の基板材料には樹脂系材料が使用される場合が多く、高温での半田リフローに耐えられない。

【0008】 （3）前述のPbフリーの接合用半田であるSn-A g-B i合金は、融点温度を下げるために、Snベースの合金にBiを添加する。現状の半田リフロー温度においてSn単独、Pd単独のめっき膜では十分な濡れ性が確保できないので、めっき膜にSn-Pb合

3

全を使用した場合、半田リフローによりSn-Pb-Bi合金が生成される。このSn-Pb-Bi合金は約90～100℃の低い融点温度を有し、プリント配線基板に実装された電子装置の動作温度で溶融する可能性がある。すなわち、電子装置の動作中に接合用半田が溶融し、溶融した部分にクラックが発生することに起因して、プリント配線基板の電極と外部端子との間に接合不良が発生する。このため、電気的信頼性が低下する。

【0009】本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、Pbの使用を制限し環境保護を図りつつ、実装基板の電極との間で接合不良や短絡による不良が防止できる電子装置を提供することである。

【0010】さらに、本発明の目的は、上記目的を達成しつつ、リフロー温度の低温化が実施できる電子装置の実装方法を提供することである。特に、本発明の目的は、リフロー温度の低温化においても接合用合金膜の濡れ性を十分に確保し、接合不良を防止して歩留まりが向上できる電子装置の実装方法を提供することである。

【0011】

【課題を解決するための手段】上記課題を解決するために、この発明の第1の特徴は、電子装置において、外部端子表面にPbを含まないめっき膜を備えたことである。

【0012】電子装置には、IC、LSI、パワートランジスタのいずれかをパッケージ内部に封止した半導体装置、抵抗素子、容量素子、コイル素子、リレー素子がいずれも含まれる。外部端子は実装基板の電極に接合用合金膜により電気的かつ機械的に接続される。外部端子は例えばアウターリードである。実装基板には、マザーボード、ドーターボード、ベ้าボード、フレキシブル基板の各種プリント配線基板が含まれる。差本的には、接合用合金膜のリフローにより電子装置を実装する配線基板はすべて含まれる。

【0013】めっき膜は接合用合金膜の融点温度並びに再凝固温度よりも低い融点温度を有する。プロセスの表現をすれば、めっき膜は、接合用合金膜のリフロー前において接合用合金膜の融点温度よりも低い融点温度を有する合金膜で形成される。接合用合金膜のリフロー後には、めっき膜は合金膜よりも高い再凝固温度を有する接合用合金膜を形成する（リフローによりめっき膜の合金成分が含まれても接合用合金膜の融点温度は高い状態で維持される）。

【0014】めっき膜はSnとこのSnが固溶できる金属との合金で形成される。好ましくは、めっき膜はSnと40～60%の範囲内の組成比に設定されたBi、又は同範囲内の組成比に設定されたIn（インジウム）との合金で形成される。Bi、InはいずれもSnとの合金膜を生成した時に合金膜の融点温度を下げる働きをする。めっき膜に比べて接合用合金膜は体積が大きいので、めっき膜が溶融しその合金成分であるBi又はInが接合用合金膜に溶け込んでめっき膜から供給されるBi又はInは接合用合金膜においては微量である。従って、Bi又はInによる融点温度の低下は極めて小さく、接合用合金膜の再凝固温度は合金膜よりも高くなる。さらに好ましくは、Sn-40%Bi合金、Sn-58%Bi合金、又はSn-52%In合金でめっき膜が形成される。接合用合金膜は、リフロー前において、例えばSn-3%Ag-4%Bi合金で形成される。リフロー後にはめっき膜の合金成分例えはBiが含まれ、接合用合金膜はSn-3%Ag-5%Bi合金で形成される。

【0015】このように構成される電子装置においては、接合用合金膜のリフローの際に、接合用合金膜の溶融に先行して外部端子表面のめっき膜が溶融する。接合用合金膜が溶融し広がる領域にめっき膜が予め溶融し広がるので、接合用合金膜の濡れ性が向上する。めっき膜が溶融することによりこのめっき膜の合金成分が接合用合金膜に取り込まれるが、接合用合金膜に比べてめっき膜の体積は小さいので、接合用合金膜の再凝固温度は高い状態で維持できる。従って、電子装置においては、実装基板との間で充分な濡れ性が確保できるので、接合不良が防止できる。さらに、電子装置において、接合用合金膜の再凝固温度が高くなるので、電子装置の動作で発生する熱による接合用合金膜の溶融が防止でき、接合不良や隣接外部端子間の短絡を防止して電気的信頼性が向上する。さらに、接合用合金膜の濡れ性を確保しつつ、電子装置の動作で発生する熱に起因する不良の防止にはSn、Bi、In、Agのいずれかが使用され、有害物質であるPbが使用されない。すなわち、有害物質の使用が制限でき、環境保護に寄与できる電子装置が実現できる。

【0016】この発明の第2の特徴は、電子装置の実装方法において、下記工程を備えたことである。

【0017】（1）Pbを含まない第1接合用合金膜の融点温度よりも低い融点温度を有しPbを含まない合金膜で形成されためっき膜を電子装置の外部端子表面に形成する工程。

【0018】（2）実装基板の電極と電子装置の外部端子との間に第1接合用合金膜を形成する工程。

【0019】（3）リフローを行い、外部端子表面のめっき膜を先行溶融させ、引き続き第2接合用合金膜を溶融し、めっき膜の合金成分によりめっき膜の融点温度よりも高い再凝固温度を有する第2接合用合金膜を形成する工程。

【0020】Pbを含まないめっき膜は、好ましくはSn-40%Bi合金、Sn-58%Bi合金、又はSn-52%In合金である。第1接合用合金膜は好ましくはSn-3%Ag-4%Bi合金で形成され、第2接合用合金膜はSn-3%Ag-5%Bi合金である。

【0021】このような電子装置の実装方法においては、有害物質であるPbを使用せずに、接合不良が防止できるので、実装上の歩留まりが向上できる。さらに、前述のように、めっき膜にはSn-Bi合金、Sn-In合金のいずれかが使用され、接合用金属膜にはSn-Ag-Bi合金が使用されるので、リフロー温度の低温化例えは230℃以下の低温化が実現できる。リフロー温度の低温化により樹脂系材料で形成される電子装置や実装基板に熱的損傷を与えることがなくなるので、実装上の歩留まりが向上できる。

【0022】

【発明の効果】本発明は、Pbの使用を制限し環境保護を図りつつ、実装基板の電極との間で接合不良や短絡による不良が防止できる電子装置を提供できる。

【0023】さらに、本発明は、リフロー温度の低温化が実施できる電子装置の実装方法を提供できる。特に、本発明は、リフロー温度の低温化においても接合用金属膜の濡れ性を十分に確保し、接合不良を防止して歩留まりが向上できる電子装置の実装方法を提供できる。

【0024】

【発明の実施の形態】（第1の実施の形態）以下、本発明の実施の形態について説明する。図1は本発明の第1の実施の形態に係る実装基板に実装した状態（実装後）の電子装置の断面構造図である。本実施の形態に係る電子装置はIC、LSI、トランジスタのいずれかを搭載する半導体装置である。図1に示すように、電子装置としての半導体装置1は実装基板10に実装される。

【0025】半導体装置1は、単結晶基素からなる半導体チップ2、半導体チップ2を搭載するタブ部3A、半導体チップ2と外部機器との間で信号や電源の授受を行うリード3B、ボンディングワイヤ4、封止部5を備えて構成される。

【0026】半導体チップ2には、IC、LSI等を構築する集積回路が、又バウトラジスタが形成される。半導体チップ2の表面上にはボンディングパッド2Aが配設される。ボンディングパッド2Aにはボンディングワイヤ4の一端がボンディングされ、ボンディングパッド2Aとボンディングワイヤ4との間は電気的に接続される。ボンディングワイヤ4にはAu（金）ワイヤ、Al（アルミニウム）ワイヤ、Cu（銅）ワイヤが実用的に使用できる。

【0027】タブ部3A、リード3Bは同一のリードフレームから切断され、リード3Bは切断後に成型される。タブ部3A、リード3BにはFe-42%Ni（鉄-ニッケル）合金、Fe-50%Ni合金又はCu合金が実用的に使用できる。リード3Bのインナーリード

（リード3Bの封止部5内部に配設された部分）にはボンディングワイヤ4の他端側がボンディングされ、インナーリードとボンディングワイヤ4との間は電気的に接続される。

【0028】リード3Bのアウトターリード・リード3Bの封止部5外部に引き出された部分）はカルウイング形状で形成され外部端子として使用される。このアウトターリードの表面にはめっき膜6が形成される。めっき膜6は、リフロー前において接合用合金膜（20A）の融点温度よりも低い融点温度を有する合金膜で形成されるリフロー後は、めっき膜6はこのめっき膜6よりも高い再凝固温度を有する接合用合金膜（20）を形成する。

10 【0029】図2はめっき膜6を形成する合金の融点温度と合金の組成比との関係を示す図である。横軸はSnが固溶する金属の組成比（%）を示す。縦軸は合金の融点温度を示す。めっき膜6はSnとこのSnが固溶できる金属との合金で形成され、このめっき膜6にはPbが含まれない。本実施の形態において、Snが固溶できる金属はBi又はInである。Bi、InはいずれもSnとの合金膜を生成した時に合金膜の融点温度を下げる働きをする。

20 【0030】Sn-Bi合金においては、Biの組成比が35%を超えると、従来使用されていたSn-37%Pb共晶半田の融点温度よりも低い融点温度が得られる。Sn-In合金においては、Inの組成比が25%を超えると、Sn-37%Pb共晶半田の融点温度よりも低い融点温度が得られる。

30 【0031】本実施の形態において、めっき膜6の融点温度は、半導体装置1の半導体チップ2に形成された集積回路やトランジスタの動作で発生する熱では溶融せず、かつリフローにおいては接合用合金膜に先行して溶融する温度範囲内、具体的には110～180℃の温度範囲内に設定される。従って、めっき膜6はSnと40～60%の範囲内の組成比に設定されたBi、又は同範囲内の組成比に設定されたInとの合金膜で形成されることが実用的である。特に本実施の形態において、めっき膜6は、Sn-40%Bi合金膜（融点温度139～165℃）、Sn-58%Bi合金膜（融点温度139℃）、又はSn-52%In合金膜（融点温度117℃）のいずれかを使用する。

40 【0032】めっき膜6は先付けで形成され、封止部5を形成する前にリードフレームの状態においてリード3Bのアウトターリードの表面に形成される。めっき膜6は電解めっき法、無電解めっき法又はディップ法で形成され、例えば1～20μm程度の薄い膜厚で形成される。なお、めっき膜6は封止部5を形成した後に行う後付けで形成してもよい。

【0033】封止部5は本実施の形態において樹脂ファーマールド法で形成された樹脂パッケージで形成される。樹脂パッケージにはエポキシ系樹脂が実用的に使用できる。

50 【0034】一方、実装基板10は基板本体11上に電極12及び図示しない配線を配設する。実装基板10に

は、マザーボード、ドーターボード、ベビーボード、フレキシブル基板の各種プリント配線基板が含まれる。基本的には、接合用合金膜のリフローにより半導体装置1を実装する配線基板はすべて含まれる。

【0035】実装基板10の基板本体11は本実施の形態においてエポキシ系樹脂で形成される。フレキシブル基板の場合にはポリイミド系樹脂が実用的に使用される。電極12及び図示しない配線は例えばCu薄膜で形成される。

【0036】前述の半導体装置1のアウトリード（リード3B）と実装基板10の電極12との間は接合用合金膜20により電氣的に接続されかつ機械的に接合される。本実施の形態において、接合用合金膜20はPbを含まないSn-3%A g-5%B i合金膜（B iの組成比はリフロー後の値であり、リフロー前のB iの組成比は4%に設定される。）で形成される。このSn-3%A g-5%B i合金膜は図2に示すように約210℃の融点温度（再凝固温度）を有し、この融点温度は現状使用されている230℃のリフロー温度よりも低く、Sn-3.7%Pb共晶半田の融点温度よりも高い。接合用合金膜20は、めっき膜6のリフローで溶融される部分の体積に比べて大きな体積で形成され、体積で数十倍程度の膜厚で形成される。接合用合金膜20は例えばスクリーン印刷により実装基板10の電極12上に形成される。

【0037】次に、前述の半導体装置1の実装方法について説明する。図3乃至図5は実装方法を説明するための工程図である。

【0038】（1）まず、図3に示すように、リード3Bのアウトリード表面にめっき膜6が形成された半導体装置1を準備する。この実装方法の説明において、めっき膜6にはPbを含まないSn-5.8%B i合金膜が使用される。このSn-5.8%B i合金膜の融点温度は13.9℃である。

【0039】（2）一方、図4に示すように、実装基板10の電極12の表面上に接合用合金膜20Aを形成する。接合用合金膜20AはPbを含まないSn-3%A g-4%B i合金膜で形成される。このSn-3%A g-4%B i合金膜の融点温度は210℃である。

【0040】（3）図5に示すように、実装基板10上に半導体装置1を積載し、位置合わせを行う。実装基板10の電極12上に半導体装置1のアウトリードが配置され、この電極12とアウトリードとの間に接合用合金膜20A及びめっき膜6が存在する。

【0041】（4）リフローを行い、前述の図1に示すように、めっき膜6及び接合用合金膜20Aを溶融し、これを再凝固させることにより接合用合金膜20を形成する。この接合用合金膜20の形成から電極12とアウトリードとの間が電氣的に接続されかつ機械的に接合される。

【0042】図6はリフロー時間とリフロー温度との関係を示す図である。横軸はリフロー時間を示す。縦軸はリフロー温度を示す。図6に示すように、リフローが開始されると徐々に温度が上昇し、13.9℃の温度に達した時点でアウトリード表面に形成しためっき膜6が先行して溶融される。めっき膜6の溶融物は接合領域に広がる。

【0043】さらに温度が上昇し、210℃の温度に達した時点で接合用合金膜20Aが溶融される。予めめっき膜6が溶融されているので、接合用合金膜20Aの溶融物は容易に広がる、この溶融物の濡れ性は極めて良好である。

【0044】そして、一旦、リフローの最高温度230℃まで達した後、徐々に温度を下げる。210℃まで温度が下がると、接合用合金膜20Aの溶融物が再凝固し、めっき膜6の合金成分が吸収された（混合された）接合用合金膜20が形成される。接合用合金膜20はめっき膜6の体積に比べて大きな体積を有するので、めっき膜6が溶融しその合金成分であるB iが接合用合金膜20に溶け込んでめっき膜6から供給されるB i量は接合用合金膜20において微量である。具体的には、接合用合金膜20はSn-3%A g-5%B i合金膜で形成され、温度降下を促進するB i量は約1%しか増加しない。従って、B iによる融点温度の低下は極めて小さく、接合用合金膜20の再凝固温度は約210℃の温度で維持されめっき膜6の融点温度に比べて高くなる。

【0045】再凝固により接合用合金膜20が形成され、所定温度まで降下した時点でリフローが終了し、半導体装置1の実装基板10への実装が終了する。

【0046】このように構成される半導体装置1においては、接合用合金膜20Aのリフローの際に、接合用合金膜20Aの溶融に先行してアウトリード表面のめっき膜6が溶融する。接合用合金膜20Aが溶融し広がる領域にめっき膜6が予め溶融し広がるので、接合用合金膜20Aの濡れ性が向上できる。めっき膜6が溶融することによりこのめっき膜6の合金成分が凝固後の接合用合金膜20に取り込まれるが、接合用合金膜20Aの体積に比べてめっき膜6の体積は小さいので、接合用合金膜20の再凝固温度は高い状態で維持できる。従って、半導体装置1においては、実装基板10との間で充分な濡れ性が確保できるので、接合不良が防止できる。さらに、半導体装置1において、接合用合金膜20の再凝固温度が高くなるので、半導体装置1の動作で発生する熱による接合用合金膜20の溶融が防止でき、接合不良や隣接アウトリード間の短絡を防止して電氣的信頼性が向上できる。さらに、接合用合金膜20Aの濡れ性を確保しつつ、半導体装置1の動作で発生する熱に起因する不良の防止にはSn、B i、In、A gのいずれかが使用され、有害物質であるPbが使用されない。すなわち、有害物質の使用が制限でき、環境保護に寄与できる。

半導体装置1が実現できる

【0047】さらに、半導体装置1の実装方法においては、有害物質であるPbを使用せずに、接合不良が防止できるので、実装上の歩留まりが向上できる。さらに、前述のように、めっき膜にはSn-Bi合金、Sn-I合金、Sn-Ag-Bi合金のいずれかが使用され、接合用金属膜20AにはSn-Ag-Bi合金が使用されるので、リフロー温度の低温化例えは230℃以下の低温化が実現できる。リフロー温度の低温化により樹脂系材料で形成される半導体装置1の封止部5や実装基板10の基板本体11に熱的損傷を与えることがなくなるので、実装上の歩留まりが向上できる。

【0048】（第2の実施の形態）本実施の形態は、他の外部端子構造を有する半導体装置、抵抗素子、容量素子、コイル素子、リレー素子のそれぞれに本発明を適用した例を説明するものである。図7は本発明の第2の実施の形態に係る半導体装置の構成図、図8は抵抗素子等の電子装置の構成図である。

【0049】図7に示す半導体装置1においては、リード3Bのアウトワードが封止部5の表面に沿って引き出される。前述の第1の実施の形態に係る半導体装置1と同様に、アウトワード表面にはめっき膜6が形成される。

【0050】図8に示す電子装置30においては、封止部31の外部に外部端子32が配設される。封止部31の内部には、図示しないが、抵抗素子、容量素子、コイル素子、又はリレー素子が封止される。外部端子32の表面には、前述の第1の実施の形態に係る半導体装置1と同様に、めっき膜33が形成される。

【0051】このように構成される図7に示す半導体装置1、図8に示す電子装置30においては、いずれも前述の第1の実施の形態に係る半導体装置1で得られる効果と同様の効果が得られる。

【0052】（応用例）本発明は前述の実施の形態に限定されない。例えば、本発明は、実装基板に突起電極（ハンパ電極）を介してフリップチップ方式で実装され

る半導体装置に適用できる。すなわち、前述の図1に示す半導体チップ2のボンディングパッド（外部端子）2Bにめっき膜6が形成する。めっき膜6にはPbを含まないSn-Bi合金膜又はSn-I合金膜が使用される。突起電極にはPbを含まないSn-Ag-Bi合金が使用される。リフローにより突起電極が溶融するか、これに先行してめっき膜6が溶融し、突起電極の濡れ性が向上できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る実装基板に実装した状態の電子装置の断面構造図である。

【図2】第1の実施の形態に係るめっき膜を形成する合金の融点温度と合金の組成比との関係を示す図である。

【図3】第1の実施の形態に係る実装方法を説明するための工程図である。

【図4】第1の実施の形態に係る実装方法を説明するための工程図である。

【図5】第1の実施の形態に係る実装方法を説明するための工程図である。

【図6】第1の実施の形態に係るリフロー時間とリフロー温度との関係を示す図である。

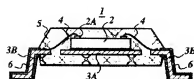
【図7】本発明の第2の実施の形態に係る半導体装置の構成図である。

【図8】本発明の第2の実施の形態に係る電子装置の構成図である。

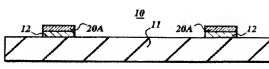
【符号の説明】

- 1 半導体装置
- 2 半導体チップ
- 3B リード
- 5, 31 封止部
- 6, 33 めっき膜
- 10 実装基板
- 12 電極
- 20, 20A 接合用合金膜
- 30 電子装置
- 32 外部端子

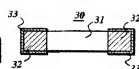
【図3】



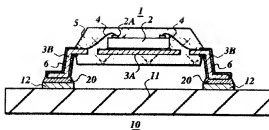
【図4】



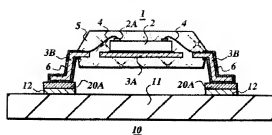
【図8】



【図1】

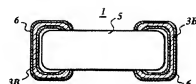


【図5】

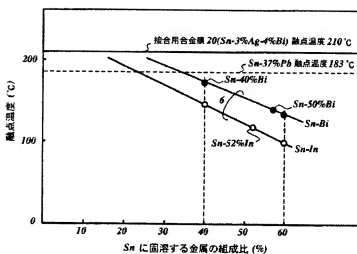


- 1 半導体装置
- 2 半導体チップ
- 3B リード
- 5 封止部
- 6 めっき層
- 10 実装基板
- 12 電極
- 20 接合用合金膜

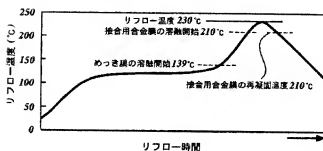
【図7】



【図2】



【図6】



フロントページの続き

(51) Int. Cl.⁶

H 0 5 K 3/24

識別記号

F I

H 0 5 K 3/24

B